

文档版本	V1.00
发布日期	20210201

APT32F102x 系列 SWD 上电时 出现高电平问题解决方法



目录

1 概述	1
2. 适用的硬件.....	1
3. 解决方法说明	1
4 结论	3

1 概述

本文介绍了如何解决APT32F102x系列芯片中，SWD(PA0.5/PA0.12)口上电出现高电平问题的方法

2. 适用的硬件

APT32F102x 系列芯片

3. 解决方法说明

为了兼容测试模式，APT32F102x 系列芯片其中一组 SWD 口（PA0.5，PA0.12）在 POR 时会出现 200ua~150ms 的高电平的问题，这个高电平不是管脚的输出，而是在 POR 后持续了一段时间的上拉状态，内部的上拉电阻在 40K 左右。

下方为 POR 时 PA0.5 和 PA0.12 输出高电平的异常波形。

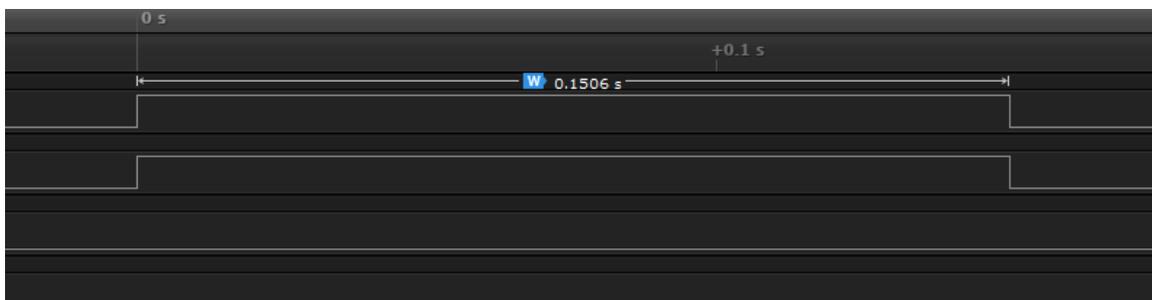


图 1-PA0.5 和 PA0.12 默认状态 POR 波形

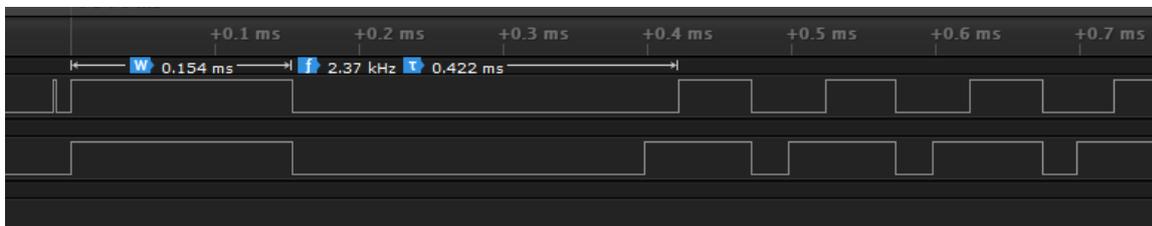


图 2-PA0.5 和 PA0.12 做 EPT 输出波形

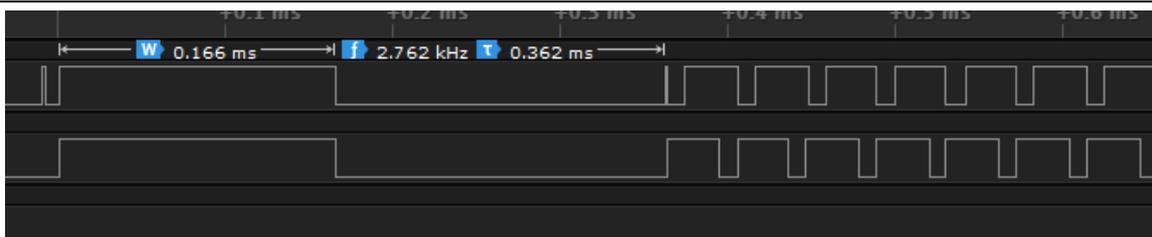
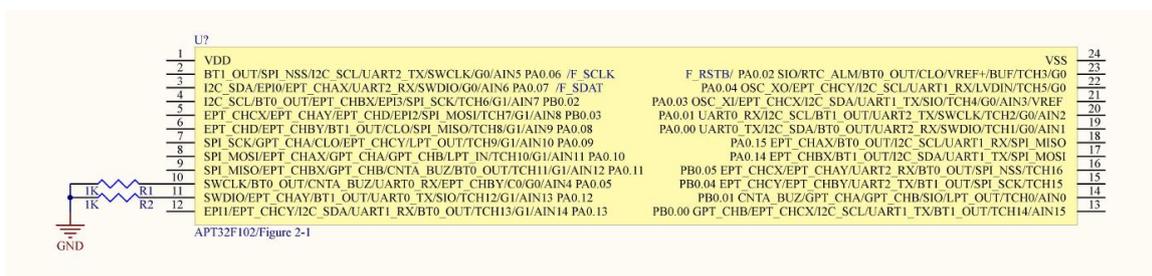


图 3-PA0.5 和 PA0.12 做 BT 输出波形

为了解决 POR 时 PA0.5 和 PA0.12 输出高电平的现象，可以在 PA0.5 和 PA0.12 增加下拉电阻，如 1K。



增加下拉电阻后，PA0.5 和 PA0.12 在默认状态时，两个管脚上电出现的高电平消失。

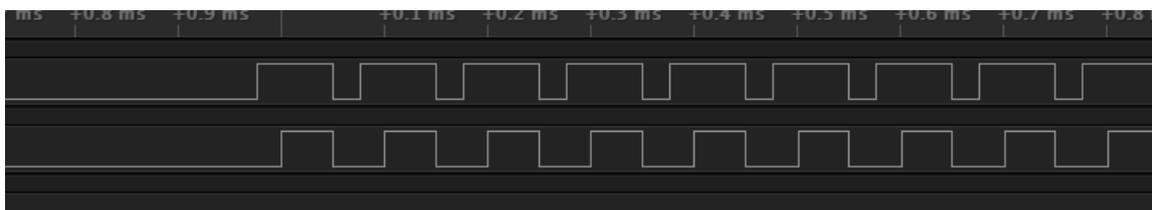


图 4-加下拉电阻后 PA0.5 和 PA0.12 做 EPT 输出波形

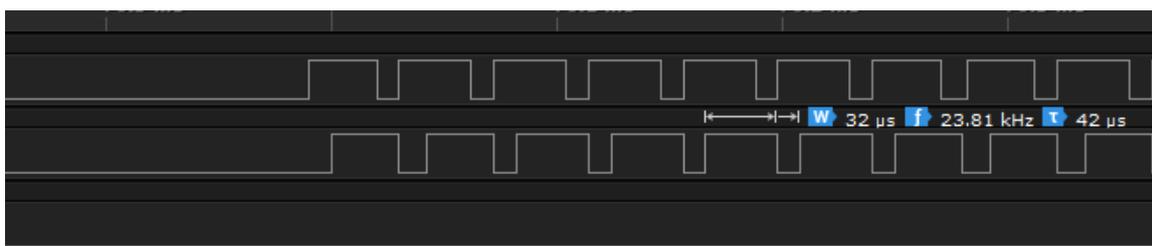


图 5-加下拉电阻后 PA0.5 和 PA0.12 做 BT 输出波形

4 结论

在使用 APT32102x 系列芯片时，使用 PA0.5 和 PA0.12 做输出功能，如 IO，EPT，BT 等功能时，需在 PA0.5 和 PA0.12 脚位上增加阻值为 1K 的下拉电阻，以过滤掉 POR 时该 PIN 脚由于内部保持的上拉电阻而出现高电平的现象。